

Docket No.: 60188-652

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masafumi KUBOTA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 16, 2003	:	Examiner: Unknown
	:	
For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

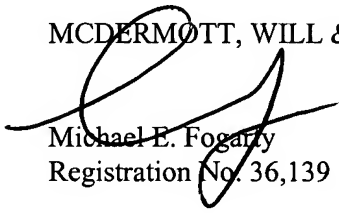
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-319909, filed November 1, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: September 16, 2003

60188-657
KUBOTA et al.
September 16, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 1日

出 願 番 号

Application Number:

特願2002-319909

[ST.10/C]:

[JP2002-319909]

出 願 人

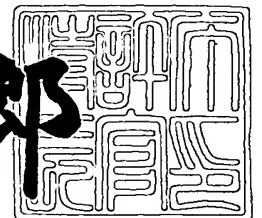
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051967

【書類名】 特許願
【整理番号】 2926440082
【提出日】 平成14年11月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/31
H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 久保田 正文

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 林 重徳

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に高誘電体からなる絶縁膜を形成する第 1 の工程と、前記絶縁膜が形成された基板に光を照射する第 2 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 2】 前記絶縁膜はトランジスタにおけるゲート絶縁膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の工程と前記第 2 の工程との間に、前記基板に不純物を選択的に導入する工程をさらに備えていることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の工程と前記第 2 の工程との間に、前記絶縁膜の上に導体膜を形成する工程をさらに備えていることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記絶縁膜はキャパシタにおける容量絶縁膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の工程よりも前に、前記基板に不純物を選択的に導入する工程をさらに備えていることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記基板はシリコンからなることを特徴とする請求項 1 ～ 6 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 前記絶縁膜は金属元素を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 9】 前記絶縁膜は、ハフニウム、ジルコニウム、ランタン、セリウム、プラセオジム、ネオジム、イットリウム及びアルミニウムのうちの少なくとも 1 つを含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の工程は、酸素ガス又は酸素化合物ガスの分圧を調節して行なうことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 11】 前記第 2 の工程は、窒素ガス又は不活性ガス雰囲気で行な

うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 1 2】 前記第 2 の工程において、前記基板は $100^{\circ}\text{C} \sim 500^{\circ}\text{C}$ の温度に加熱することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、酸化ハフニウム (HfO_2) 又は酸化ジルコニウム (ZrO_2) 等の高誘電体からなる絶縁膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、MIS 型トランジスタの一層の微細化によって、該トランジスタに設けられるゲート絶縁膜が薄膜化される結果、トランジスタの高駆動力化を実現できるようになる。しかしながら、このゲート絶縁膜の薄膜化は、ゲートチャネル間に直接トンネル電流をもたらし、この直接トンネル電流の増大によりトランジスタの消費電力が大きくなるという問題がある。

【0003】

一般に、ゲート長が $0.10\mu\text{m}$ 以下となる微細な MOS 集積回路においては、シリコン酸化膜換算膜厚値 E_{ot} が 2nm 以下となる極薄ゲート絶縁膜が必要となる。ここで、シリコン酸化膜換算膜厚とは、ある絶縁膜がシリコン酸化膜と同等の容量を得るのに要する膜厚をいう。酸化シリコン (SiO_2) では、その膜厚が 2nm 以下となると、トンネル電流が支配的となり、とりわけ 1.2nm 以下では実用素子として使用ができなくなると考えられる。

【0004】

そこで、高駆動能力と低消費電力とを同時に実現するため、酸化シリコンと比べて誘電率が高い高誘電率絶縁膜がゲート絶縁膜に用いられようとしている。

【0005】

また、DRAM 部とロジック部とが 1 チップに混載される混載型 LSI 等に含まれるキャパシタには、従来は、容量絶縁膜として酸化シリコンが用いられているが、やはり薄膜化の進展によりトンネル電流が大きくなることから、キャパシ

タの電荷保持時間が短くなるというおそれがあり、このため、高誘電率材料を容量絶縁膜に用いる検討がなされている。

【 0 0 0 6 】

例えば、ハフニウム (H f) 又はジルコニウム (Z r) 等の金属酸化物からなる高誘電体薄膜は、一般には、スパッタ法、有機金属気相堆積 (M O C V D) 法、原子層 C V D (A L C V D) 法、又は電子線エピタキシ (M B E) 法等の成膜方法により形成される。

【 0 0 0 7 】

ところで、高誘電体からなるゲート絶縁膜を堆積し、さらにゲート電極を形成した後に、ソース・ドレイン不純物接合を形成する、いわゆる自己整合プロセスによってトランジスタを形成する場合には、リーク電流が少ない不純物接合を得るために、ソース・ドレインへの不純物の導入後に、9 0 0 ℃前後に加熱する熱処理が必要である。

【 0 0 0 8 】

自己整合プロセスに代えて、ゲート絶縁膜を形成するよりも前に、ソース・ドレイン領域を先に形成する、いわゆるリプレースメントプロセスを採用した場合であっても、超高真空中で高誘電体薄膜をエピタキシャル成長する M B E 法を除くと、ゲート絶縁膜に良好な絶縁特性を得るためには 7 0 0 ℃以上の熱処理が不可欠となる (例えば、非特許文献 1 参照。) 。

【 0 0 0 9 】

一方、熱処理が高温の場合には、金属とシリコンとの反応によるシリサイド化反応や、酸化物による結晶化を生じ、組成が変化した領域と変化しなかった領域との境界が形成されて絶縁性が低下する (例えば、非特許文献 2 参照。) 。

【 0 0 1 0 】

【非特許文献 1】

林 重徳他、” 反応性スパッタ法による高誘電率ゲート絶縁膜の作製と評価”、半導体集積回路技術第 6 0 回シンポジウム講演論文集、電気化学会電子材料委員会、2 0 0 1 年 6 月、p. 1 2 - 1 6

【非特許文献 2】

ミヤタ ノリユキ他、”サーマル スタビリティ オブ HfO_2 /ウルトラシン SiO_2 / Si ストラクチャーズ (Thermal Stability of HfO_2 /Ultrathin- SiO_2 / Si structures”、イクステンデッド アブストラクト オブ ザ 2002 インターナショナル コンファレンス オン ソリッドステート デバイセズ アンド マテリアルズ (Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials)、名古屋、2002年、p. 478-479

【0011】

【発明が解決しようとする課題】

しかしながら、これらの高誘電体材料は、一般に600℃程度以上の熱処理を受けると、例えば基板を構成するシリコンとの間で反応を生じたり、高誘電体膜自体の結晶化による粒界や、相変化による膜厚の不均一を生じたりして、リーク電流の増加や耐圧の低下を生じるという問題がある。

【0012】

また、熱処理時の雰囲気に含まれる微量な酸素やシリコン基板及び絶縁膜中の酸素によって、高誘電体膜とシリコン基板との界面に、シリコン酸化膜や高誘電体とシリコンとの化合物膜（いわゆるシリケート薄膜）が形成される。このシリコン酸化膜及びシリケート薄膜は、高誘電体材料と比べて誘電率が2分の1から数分の1であるため、これらの膜が形成されると、高誘電体膜に直列のキャパシタが挿入されること等価となって、実効的な誘電率が低下する。

【0013】

このように、高誘電体からなるゲート絶縁膜を実用化する当たっては、熱処理方法の改良が不可欠である。

【0014】

また、高誘電体材料をキャパシタの容量絶縁膜として用いる場合にも同様の問題が生じる。すなわち、シリコン基板をキャパシタの一方の電極として用いる場合には、ゲート絶縁膜の場合と同様に、シリコン基板との界面に誘電率が低い酸化膜が生成されやすい。

【0015】

また、高誘電体からなる絶縁膜を金属電極により上下方向から挟むサンドイッチ構造、いわゆるMIM構造を持つキャパシタの場合には、高誘電体膜とその上下に位置する金属電極との反応をいかに抑制するかが大きな課題となる。

【 0 0 1 6 】

本発明は、前記従来の問題に鑑み、ゲート絶縁膜又は容量絶縁膜に金属酸化物からなる高誘電体薄膜を適用できるようにすることを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

本願発明者らは、金属酸化物からなる高誘電体膜をMIS型トランジスタのゲート絶縁膜やキャパシタの容量絶縁膜に適用できるように種々検討を重ねた結果、以下のような知見を得ている。

【 0 0 1 8 】

半導体集積回路装置の製造工程においては、600℃～1000℃程度の温度による熱処理が不可欠である。例えば、シリコンからなる基板に対してイオン注入法により不純物を導入する工程においては、注入された不純物イオンがシリコン結晶の配列を乱し、格子間シリコンや格子空孔等の欠陥を発生させる。これらの結晶欠陥を回復するために、通常は600℃～1000℃程度の温度による熱処理が必要である。

【 0 0 1 9 】

また、高誘電体からなるゲート絶縁膜等を低温で形成した場合には、膜中に欠陥が多数残留しているため、熱処理によりこれらの欠陥を回復する必要がある。例えば、酸化ハフニウム(HfO_2)や酸化ジルコニウム(ZrO_2)等の高誘電体材料をゲート絶縁膜に用いる場合には、堆積直後(as-depo)に多数の酸素欠損が存在するため、堆積後には酸素雰囲気中で600℃～900℃程度の温度による熱処理が必要となる。

【 0 0 2 0 】

ところが、前述したように、これらの金属酸化物からなる高誘電体膜は、600℃前後の温度で加熱されると、膜中の結晶欠陥が解消されることにより絶縁特性が改善される一方、結晶化による粒界や相変化による膜厚の不均一を生じるた

め、高誘電体膜を介したリーク電流が増加すると共に、その耐圧が劣化する。

【 0 0 2 1 】

ところで、高誘電体膜における結晶化及び相変化は、膜中における原子のランダムで且つ大規模な移動の結果、自由エネルギーが最小となる安定な状態が実現されたと考えられる。このようなランダムな原子の移動は、拡散と同様の機構として模擬される。すなわち、原子の拡散距離は、拡散長を L とすると、式 (1) で見積もることができる。

【 0 0 2 2 】

$$L = \sqrt{D \cdot t} \quad \dots (1)$$

ここで、 D は拡散係数であり、 t は拡散時間である。

【 0 0 2 3 】

一例として、シリコン (Si) 中のホウ素 (B) の拡散係数 D は、温度が 1000°C の場合には、 $10^{-14} \text{ cm}^2/\text{s}$ 程度である。

【 0 0 2 4 】

高誘電体膜中におけるその構成原子の拡散係数の値は不明であるが、シリコン中の不純物と同等の拡散速度でランダムな移動をすると仮定すると、拡散時間 t を 10 分とすると、拡散長 L は約 25 nm となる。従って、膜厚が 5 nm のゲート絶縁膜では原子の再配列が生じてしまうため、リーク電流の増加が懸念される。

【 0 0 2 5 】

そこで、熱処理時間を 0.1 秒とすると、拡散長 L は約 0.3 nm となる。シリコン結晶における最近接原子間距離が 0.24 nm であるため、原子の移動後の位置は出発位置の極近傍に留まっており、相変化や結晶化には至らない。

【 0 0 2 6 】

さらに、従来の熱処理方法は、酸化性雰囲気中で熱処理を行なう際に、シリコン基板と高誘電体膜との界面にシリコン酸化膜が成長するという問題があるが、このように熱処理を極めて短時間とすることにより、このシリコン酸化膜の成長をも抑制できる。従って、高誘電体膜の堆積方法を最適化すれば、シリコン酸化膜の成長を、 1000°C の温度においても 0.1 秒の熱処理により 0.1 nm から

0. 2 nm程度に抑制することができる。

【0027】

これらの知見に基づいて、本発明は、前記の目的を達成するため、半導体装置の製造方法を、基板上に高誘電体からなる絶縁膜を形成する第1の工程と、絶縁膜が形成された基板に光を照射する第2の工程とを備える構成とする。

【0028】

本発明の半導体装置の製造方法によると、高誘電体からなる絶縁膜が形成された基板に光を照射するため、この光の波長を基板に吸収される程度の波長とすると、基板の表面近傍のみを0.1秒以下という極めて短時間の熱処理を行なうことができる。その結果、高誘電体からなる絶縁膜をゲート絶縁膜や容量絶縁膜に用いた場合には、該絶縁膜に結晶化又は相変化によるリーク電流の発生を防止できると共に、基板の該絶縁膜との界面に成長する酸化膜の成長を抑制しながら、基板における結晶欠陥の回復を図ることができる。

【0029】

その上、基板の表面近傍に局所的な熱処理を行なえるため、0.1秒以下という短時間の熱処理が可能となる。なぜなら、ウエハ全体又はウエハを支えるホルダ自体をも高温にするには極めて大きな熱源が必要であり、また、一旦ウエハやホルダが高温になってしまうと、これらは熱容量が大きいため、急には温度が下がらず、短時間の熱処理が困難となる。また、基板の表面近傍という局所的な領域のみを加熱するため、エネルギー利用効率が高いので、環境に与える負荷を小さくすることができる。

【0030】

本発明の半導体装置の製造方法において、絶縁膜はトランジスタにおけるゲート絶縁膜であることが好ましい。

【0031】

この場合に、本発明の半導体装置の製造方法は、第1の工程と第2の工程との間に、基板に不純物を選択的に導入する工程をさらに備えていることが好ましい。このようにすると、極めて浅い接合で且つ抵抗が小さい不純物拡散層を形成することができる。

【 0 0 3 2 】

また、この場合に、本発明の半導体装置の製造方法は、第 1 の工程と第 2 の工程との間に、絶縁膜の上に導体膜を形成する工程をさらに備えていることが好ましい。このようにすると、高誘電体からなる絶縁膜が受ける熱処理の均一性を向上することができる。

【 0 0 3 3 】

本発明の半導体装置の製造方法において、絶縁膜はキャパシタにおける容量絶縁膜であることが好ましい。

【 0 0 3 4 】

この場合に、本発明の半導体装置の製造方法は、第 1 の工程よりも前に、基板に不純物を選択的に導入する工程をさらに備えていることが好ましい。

【 0 0 3 5 】

本発明の半導体装置の製造方法において、基板はシリコンからなることが好ましい。

【 0 0 3 6 】

本発明の半導体装置の製造方法において、絶縁膜は金属元素を含むことが好ましい。

【 0 0 3 7 】

この場合に、絶縁膜は、ハフニウム (H f)、ジルコニウム (Z r)、ランタン (L a)、セリウム (C e)、プラセオジウム (P r)、ネオジウム (N d)、イットリウム (Y) 及びアルミニウム (A l) のうちの少なくとも 1 つを含むことが好ましい。

【 0 0 3 8 】

本発明の半導体装置の製造方法において、第 2 の工程は、酸素ガス又は酸素化合物ガスの分圧を調節して行なうことが好ましい。

【 0 0 3 9 】

また、本発明の半導体装置の製造方法において、第 2 の工程は、窒素ガス又は不活性ガス雰囲気で行なうことが好ましい。

【 0 0 4 0 】

一般に、高誘電体からなる絶縁膜は、その成膜方法によっては、成膜時の酸素分圧が高過ぎると、絶縁膜を透過した酸素が基板と反応しやすくなるため、基板の絶縁膜との界面に酸化膜が生じやすくなる。しかしながら、高誘電体からなる絶縁膜に対する熱処理を、酸素ガス又は酸素化合物ガスの分圧を調節したり、窒素ガス又は不活性ガス雰囲気で行なったりすることにより、基板の絶縁膜との界面に形成される酸化膜等を抑制することができる。

【 0 0 4 1 】

本発明の半導体装置の製造方法は、第 2 の工程において、基板は 1 0 0 ℃ ～ 5 0 0 ℃ の温度に加熱することが好ましい。

【 0 0 4 2 】

【発明の実施の形態】

（第 1 の実施形態）

本発明の第 1 の実施形態について図面を参照しながら説明する。

【 0 0 4 3 】

図 1 は本発明の第 1 の実施形態に係る半導体装置であって、M I S 型トランジスタの断面構成を模式的に示している。

【 0 0 4 4 】

図 1 に示すように、例えば、p 型シリコン（S i）からなる半導体基板 1 1 には、その上部に酸化シリコン（S i O₂）からなるトレンチ分離領域 1 2 が形成され、その主面はトレンチ分離領域 1 2 によって素子形成領域として区画されている。

【 0 0 4 5 】

素子形成領域の上には、下から順に、膜厚が約 0 . 5 n m の酸化シリコンからなる下地絶縁膜 1 3 と、膜厚が約 4 n m の高誘電体、例えば酸化ハフニウム（H f O₂）からなるゲート絶縁膜 1 4 と、n 型のポリシリコンからなるゲート電極 1 5 とが形成されている。

【 0 0 4 6 】

素子形成領域の上部であって、下地絶縁膜 1 3 のゲート長方向側の両端部の下側の領域には、n 型不純物が浅く注入されてなる n 型のエクステンション領域 1

6 が互いに間隔をおいて形成されている。エクステンション領域 1 6 は、トランジスタに生じる短チャネル効果を抑制して駆動力を向上するために設けられている。さらに、素子形成領域の上部におけるエクステンション領域 1 6 の外側の領域には、それぞれ内側の端部がエクステンション領域 1 6 と接続され且つ該エクステンション領域 1 6 よりも接合面が深い n 型のソース・ドレイン領域 1 7 が注入により形成されている。

【 0 0 4 7 】

下地絶縁膜 1 3 及びゲート絶縁膜 1 4 の各側面を含むゲート電極 1 5 のゲート長方向側の両側面上には、酸化シリコン又は窒化シリコン等の絶縁膜からなるサイドウォール膜 1 8 が形成されている。

【 0 0 4 8 】

以下、前記のように構成された M I S 型トランジスタの製造方法について図面を参照しながら説明する。

【 0 0 4 9 】

図 2 (a) ～ 図 2 (d) 及び図 3 は本発明の第 1 の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。ここで、半導体基板 1 1 は、M I S 型トランジスタを含む複数の機能素子からなる集積回路を形成するウエハの一部を示している。

【 0 0 5 0 】

まず、図 2 (a) に示すように、公知の方法により、p 型シリコンからなる半導体基板 1 1 の上部にトレンチ（溝）を選択的に形成し、形成したトレンチに酸化シリコンを埋め込んで、トレンチ分離領域 1 2 を形成する。

【 0 0 5 1 】

次に、図 2 (b) に示すように、熱酸化法により、半導体基板 1 1 の表面上にトレンチ分離領域 1 2 を含む全面にわたって膜厚が約 0. 5 n m ～ 1. 0 n m の酸化シリコンからなる下地絶縁膜 1 3 を形成する。続いて、酸素雰囲気による反応性スパッタ法により、下地絶縁膜 1 3 の上に膜厚が約 5 n m の酸化ハフニウム（ HfO_2 ）からなりゲート絶縁膜形成用の高誘電体絶縁膜 1 4 A を堆積する。その後、減圧 C V D 法により、高誘電体絶縁膜 1 4 A の上に膜厚が約 2 5 0 n m

のポリシリコンからなるゲート電極形成膜 1 5 A を堆積する。ここで、ゲート電極形成膜 1 5 A はポリシリコンに限られず、シリコンゲルマニウム (S i G e) を用いると低抵抗化を図ることができる。また、下地絶縁膜 1 3 は、プラズマ窒化法等により窒素を導入して酸窒化シリコンとすると、高誘電体絶縁膜 1 4 A の成膜時には半導体基板 1 1 の表面の酸化を抑制できると共に、ゲート電極形成膜 1 5 A に不純物を導入する際には半導体基板 1 1 への不純物拡散を防止することができる。

【 0 0 5 2 】

次に、リソグラフィ法により、ゲート電極形成膜 1 5 A の上に、ゲート電極パターンを有するレジストパターン (図示せず) を形成し、形成したレジストパターンをマスクとして、ゲート電極形成膜 1 5 A に対してハロゲンガスプラズマによるドライエッチングを行なうことにより、ゲート電極形成膜 1 5 A からゲート電極 1 5 を形成する。このとき、高誘電体絶縁膜 1 4 A の上部、又は高誘電体絶縁膜 1 4 A 及び下地絶縁膜 1 3 の上部も同時にエッチングされる。続いて、エッチングされたゲート電極 1 5 をマスクとして、半導体基板 1 1 に不純物イオンの注入を行なう。これにより、半導体基板 1 1 の上部に不純物イオンが導入されると共に、ゲート電極 1 5 にも不純物イオンが導入される。その後、注入された不純物イオンを活性化する熱処理により半導体基板 1 1 の上部にエクステンション領域 1 6 が形成される。ここで注入される不純物は、n チャネルトランジスタの場合には、砒素 (A s) 等の n 型の不純物を用い、p チャネルトランジスタの場合にはホウ素 (B) 等の p 型の不純物を用いる。但し、p チャネルトランジスタの場合には、半導体基板 1 1 における素子形成領域にソース・ドレイン領域 1 7 よりも深い n 型ウエルをあらかじめ形成する必要がある。その後、フッ化水素 (H F) を含む水溶液を用いて 1 分間程度のウェットエッチングを行なうことにより、高誘電体絶縁膜 1 4 A 及び下地絶縁膜 1 3 におけるゲート電極 1 5 の下側部分を除く領域を除去する。これにより、高誘電体絶縁膜 1 4 A からゲート絶縁膜 1 4 が形成されて、図 2 (c) に示す状態を得る。

【 0 0 5 3 】

次に、C V D 法により、半導体基板 1 1 の上にゲート電極 1 5 を含む全面にわ

たって、膜厚が約 $100\text{ nm} \sim 200\text{ nm}$ の窒化シリコン (Si_3N_4) 又は酸化シリコン (SiO_2) からなる絶縁膜を堆積する。続いて、堆積した絶縁膜に対して、テトラフルオロカーボン (CF_4) とトリフルオロハイドロカーボン (CHF_3) とをエッチングガスに含むガスプラズマを用いた反応性イオンエッチング (Reactive Ion Etching) による異方性エッチングを行なって、ゲート電極 15 の両側面上に絶縁膜からその堆積膜厚によって決まるサイドウォール膜 18 を形成する。続いて、ゲート電極 15 及びサイドウォール膜 18 をマスクとして、半導体基板 11 の上部にソース・ドレイン領域 17 を形成する不純物注入を行なう。ここでも、注入される不純物イオンには、n チャネルトランジスタの場合には、例えば砒素を用い、p チャネルトランジスタの場合には、例えばホウ素を用いる。なお、p チャネルトランジスタの場合には、ソース・ドレイン領域 17 を形成するためのイオン注入を行なうよりも前に、加速エネルギーが $30\text{ keV} \sim 100\text{ keV}$ 程度で、ドーズ量が約 $1 \times 10^{15} / \text{cm}^2 \sim 5 \times 10^{15} / \text{cm}^2$ のゲルマニウム (Ge) イオンをイオン注入することにより、半導体基板 11 の上部をアモルファス化する、いわゆるプリアモルファス化イオン注入 (PAI) を行なうことが好ましい。この PAI は、ソース・ドレイン領域 17 の浅接合化を図るためであって、p チャネルトランジスタの場合に用いるホウ素イオンではその質量が小さいためにソース・ドレイン領域 17 がアモルファス化されにくいいため、それを補償するために行なう。なお、n チャネルトランジスタに用いる砒素イオンの場合には、半導体基板 11 の上部がアモルファス化されるため、PAI は行なわなくてもよい。このソース・ドレイン領域 17 に対する不純物注入により、図 2 (d) に示す状態を得る。

【0054】

次に、図 3 に示すように、レーザ光を用いて、ゲート絶縁膜 14 に対する熱処理と、イオン注入されたソース・ドレイン領域 17 に対する熱処理とを同時に行なう。ここで、熱処理の雰囲気は、圧力が約 250 Pa の窒素 (N_2) 雰囲気とし、これに分圧が $9\text{ Pa} \sim 11\text{ Pa}$ 程度の酸素 (O_2) を含める。なお、背景ガスの圧力等によって最適条件は異なるが、酸素の分圧は $1\text{ Pa} \sim 100\text{ Pa}$ 程度とすることが好ましい。これは、酸素の分圧を高くし過ぎると、ゲート絶縁膜 1

4 及び下地絶縁膜 1 3 を透過した酸素原子が半導体基板 1 1 を構成するシリコン原子と反応して、半導体基板 1 1 の下地絶縁膜 1 3 との界面に酸化シリコン層を形成することにより、実効的な誘電率が低下してしまうからである。逆に、酸素の分圧を低くし過ぎると、熱処理用のチャンバの壁面等からしみ出すアウトガスや該チャンバに生じるリークの影響により、実用的なプロセス再現性を得られなくなる。

【 0 0 5 5 】

熱処理に用いるレーザ光は、半導体基板 1 1 の表面近傍のみが加熱されるように、フォトンエネルギーがシリコンのバンドギャップよりも大きい、すなわちシリコンが吸収可能な $0.4 \mu\text{m}$ 以下の波長を持つ光源、例えば波長が 308 nm で光出力が 15 W の XeCl_2 エキシマレーザ光を用いる。ここでは、レーザ光をビームエクspandaによって拡大し、画角が可変であるスリットを通して一辺が 30 mm 角程度のレーザビームに整形して半導体基板（ウエハ） 1 1 に照射する。具体的には、ステップアンドリピート露光装置と同様な方法で、半導体基板 1 1 の主面側を走査露光する。ここで、半導体基板 1 1 の走査速度と、レーザ光のパルス間隔及びピーク電力とを調整して、半導体基板 1 1 の表面近傍のみをその温度が $1150^\circ\text{C} \sim 1250^\circ\text{C}$ となるように、 $0.4 \text{ J}/\text{cm}^2 \sim 0.6 \text{ J}/\text{cm}^2$ の照射エネルギーで、各照射領域ごとに 0.1 秒間の熱処理を行なう。この場合、半導体基板 1 1 の吸収係数が大きいので、基板表面からの深さが数十 nm 程度までの領域が 1100°C 以上の高温になる。このように、半導体基板 1 1 の表面を局所的に加熱することにより、ゲート絶縁膜 1 4 に対する酸素欠損を補う熱処理と、ソース・ドレイン領域 1 7 に対する結晶性回復及び不純物活性化の熱処理とを同時に行なえる。また、基板表面の近傍のみを極めて短時間で且つ高温に処理できるため、エネルギーの利用効率に優れる。その上、ウエハホルダの温度を調節することにより、短時間の熱処理を行なう際のウエハに生じる歪みを緩和できるため、ウエハの欠けや表面薄膜のスラック及び断線等を防止することができる。

【 0 0 5 6 】

さらに、第 1 の実施形態においては、半導体基板 1 1 を $100^\circ\text{C} \sim 500^\circ\text{C}$ 程

度の温度で加熱している。これにより、基板表面と基板内部との温度差を小さくできるため、半導体基板 11 に加わるストレスを軽減することができ、レーザ光強度や、基板表面温度の制御性及び再現性を向上することができる。

【0057】

このようにして得られたソース・ドレイン領域 17 は、熱処理前には、n チャネルトランジスタの場合には砒素イオンを注入されて、又は p チャネルトランジスタの場合にはホウ素イオンとゲルマニウムイオンとを注入されてアモルファス化される結果、その拡散領域の接合深さは $0.2\ \mu\text{m}$ 以下と浅いにも関わらず、シート抵抗は $80\ \Omega \sim 300\ \Omega$ と極めて低い抵抗値を得られる。これは、アモルファス化された領域が単結晶シリコンの融点よりも $200\text{度} \sim 300\text{度}$ 程度低い温度で溶融し、ソース・ドレイン領域 17 に不純物が準安定な状態でシリコン結晶に取り込まれるため、このような低抵抗な状態を得られると考えられる。

【0058】

また、レーザ光の照射により、 0.1 秒間という極めて短時間の熱処理を行なえるため、ゲート絶縁膜 14 の下側に設けた下地絶縁膜 13 の膜厚の増加は極めて小さく、その増分は $0.2\ \text{nm}$ 程度である。実験によると、 1100度 を超える温度では、酸化ハフニウム (HfO_2) 中における酸素の拡散係数は $10^{-14}\ \text{cm}^2/\text{s}$ をはるかに上回ると推測され、酸素は容易に半導体基板 11 の表面にまで達するが、第 1 の実施形態においては、酸素の分圧を低くし、且つ 0.1 秒間という極めて短時間な熱処理であるため、半導体基板 11 の酸化はほとんど進行しない。

【0059】

その後は、半導体基板 11 の上に、層間絶縁膜や電極配線を形成して、MIS 型トランジスタを完成する。

【0060】

このようにして得られた MIS 型トランジスタは、ゲート電極 15 と半導体基板 11 との間のリーク電流や、ソース・ドレイン領域 17 同士の間でのリーク電流が極めて小さい。また、ゲート絶縁膜 14 には、シリコン酸化膜換算膜厚値 E_{ot} が最小で $1.1\ \text{nm}$ を得られており、これと等価な酸化シリコンからなるゲート

絶縁膜の場合と比べて、ゲートリーク電流は3～4桁も低減される。

【0061】

なお、第1の実施形態においては、高誘電体絶縁膜14Aにハフニウム酸化物を用いたがこれに限られない。すなわち、ハフニウム(Hf)に代えて、ジルコニウム(Zr)、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、イットリウム(Y)、及びアルミニウム(Al)のうちの少なくとも1つを含む酸化物又はシリケートでも良く、いわゆる高誘電率絶縁材料と呼ばれる絶縁材料であっても同様の効果を得ることができる。これらの元素を含む酸化物又はシリケートは比較的に大きい誘電率を持つと共に酸素との強い結合を有しており、安定な膜を形成するため好ましい。

【0062】

また、高誘電体絶縁膜14Aは、複数の絶縁膜が積層されたいわゆるスタック構造や、極薄膜が多層に積層されたラミネート構造であってもよい。第1の実施形態に係る製造方法においては、極めて短時間の熱処理を行なうため、積層されたいずれの絶縁膜に対しても良好な絶縁特性を維持できる。

【0063】

また、半導体基板11とゲート絶縁膜15との間に下地絶縁膜13を必ずしも設ける必要はないが、半導体基板11の上に高誘電体絶縁膜14Aを直接に堆積する場合と比べて、熱酸化膜である酸化シリコンを半導体基板11の上に下地膜として形成しておくこと、シリコンと熱酸化膜との接合面(界面)の特性が極めて良好となるため好ましい。

【0064】

また、半導体基板11はバルクのシリコン基板に限られず、SOI基板であってもよい。

【0065】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0066】

図4(a)～図4(d)は本発明の第2の実施形態に係る半導体装置の製造方

法の工程順の断面構成を示している。ここでも、半導体基板 1 1 はウエハの一部を示している。

【 0 0 6 7 】

まず、図 4 (a) に示すように、公知の方法により、 p 型シリコンからなる半導体基板 1 1 の上部にトレンチを選択的に形成し、形成したトレンチに酸化シリコンを埋め込んで、トレンチ分離領域 1 2 を形成する。

【 0 0 6 8 】

次に、図 4 (b) に示すように、熱酸化法により、半導体基板 1 1 の表面にトレンチ分離領域 1 2 を含む全面にわたって膜厚が約 0 . 4 n m の酸化シリコンからなる下地絶縁膜 1 3 を形成する。続いて、四塩化ハフニウム (HfCl_4) ガスと水蒸気 (H_2O) とを交互に供給する原子層 CVD (ALCVD) 法により、下地絶縁膜 1 3 の上に膜厚が約 5 n m の酸化ハフニウム (HfO_2) からなりゲート絶縁膜形成用の高誘電体絶縁膜 1 4 A を堆積する。その後、スパッタ法又は CVD 法により、高誘電体絶縁膜 1 4 A の上に膜厚が約 1 5 0 n m の窒化チタン (TiN) からなるゲート電極形成膜 2 5 A を堆積する。続いて、酸素の分圧が約 0 . 9 P a ~ 1 . 1 P a のアルゴン (Ar) 雰囲気ではレーザー光を用いた熱処理により、高誘電体膜 1 4 A に対する酸素欠損を補う熱処理を行なう。具体的には、半導体基板 1 1 を約 3 0 0 ° C に加熱して保持し、パルス幅が約 1 0 n s e c で光出力が約 7 0 W の XeCl_2 エキシマレーザー光を照射することにより、ゲート電極形成膜 2 5 A を選択的に加熱する。窒化チタンからなるゲート電極形成膜 2 5 A は、該エキシマレーザー光に対する吸収係数が大きく且つ熱伝導性が良好であるため、熱処理のパターン密度依存性が極めて小さくなる。このゲート電極形成膜 2 5 A を選択的に加熱することにより、ゲート絶縁膜 1 4 に対する熱処理を行なえる。

【 0 0 6 9 】

レーザー光はビームエクspandaによって拡大し、画角が可変のスリットを通して一辺が 3 0 m m 角程度のレーザービームに整形してゲート電極形成膜 2 5 A に照射する。半導体基板 1 1 の走査速度と、レーザー光のパルス間隔及びピーク電力とを調整して、ゲート電極形成膜 2 5 A の温度が 8 5 0 ° C ~ 9 5 0 ° C となるように

、 $0.1 \text{ J/cm}^2 \sim 0.4 \text{ J/cm}^2$ の照射エネルギーで、各照射領域ごとに 0.05 秒間の熱処理を行なう。このように、加熱時間が極めて短い熱処理であるため、高誘電体膜 14 A の下側に設けた下地絶縁膜 13 の膜厚の増加は小さく、その増分は 0.1 nm 以下である。

【0070】

次に、リソグラフィ法により、ゲート電極形成膜 25 A の上に、ゲート電極パターンを持つレジストパターン（図示せず）を形成し、形成したレジストパターンをマスクとして、ゲート電極形成膜 25 A に対して塩素 (Cl_2) ガスを主成分とするプラズマエッチングを行なうことにより、ゲート電極形成膜 25 A からゲート電極 25 を形成する。続いて、エッチングされたゲート電極 25 をマスクとして、半導体基板 11 に不純物イオン、例えば n チャネルトランジスタの場合には砒素イオンを注入する。その後、注入された砒素イオンを活性化する熱処理を行なって、半導体基板 11 における素子形成領域に比較的接合が浅いエクステンション拡散領域 16 を形成し、図 4 (c) に示す状態を得る。

【0071】

次に、CVD 法により、半導体基板 11 の上にゲート電極 25 を含む全面にわたって、膜厚が約 100 nm \sim 200 nm の窒化シリコン又は酸化シリコンからなる絶縁膜を堆積する。続いて、堆積した絶縁膜に対して、フルオロカーボン系のエッチングガスを用いた反応性プラズマエッチングによる異方性エッチングを行なって、ゲート電極 25 の両側面上に絶縁膜からなるサイドウォール膜 18 を形成する。続いて、ゲート電極 25 及びサイドウォール膜 18 をマスクとして、半導体基板 11 の上部にソース・ドレイン領域 17 を形成する不純物注入を行なう。ここでも、注入される不純物には、n チャネルトランジスタの場合には、例えば砒素を用い、p チャネルトランジスタの場合には、例えばホウ素を用いる。なお、p チャネルトランジスタの場合には、ソース・ドレイン領域 17 の形成用のイオン注入を行なうよりも前に、加速エネルギーが約 30 keV \sim 100 keV で、ドーズ量が約 $1 \times 10^{15} / \text{cm}^2 \sim 5 \times 10^{15} / \text{cm}^2$ のゲルマニウム (Ge) イオンをイオン注入することにより、半導体基板 11 の上部をアモルファス化する、いわゆるブリアモルファス化イオン注入 (PAI) を行なうことが好

ましい。続いて、窒素雰囲気において約950℃の温度で約1分間のRTA(ラピッドサーマルアニール)を行なって、注入された不純物イオンを活性化することにより、ソース・ドレイン領域17を形成して、図4(d)に示す状態を得る。

【0072】

その後は、半導体基板11の上に、層間絶縁膜や電極配線を形成して、MIS型トランジスタを完成する。

【0073】

このようにして得られたMIS型トランジスタは、ゲート電極25が金属窒化物からなるため、該電極に空乏化が生じることがない。また、ゲート絶縁膜14に対する電氣的なシリコン酸化膜換算膜厚値 E_{ot} も最小で0.9nmを得られており、ゲート電極25と半導体基板11との間に1Vの電圧を印加した場合のリーク電流は、膜厚が約0.9nmのシリコン酸化膜のそれと比べて2桁以上小さいことを確認している。

【0074】

(第3の実施形態)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0075】

図5(a)～図5(c)は本発明の第3の実施形態に係る半導体装置であって、DRAMキャパシタの製造方法の工程順の断面構成を模式的に示している。ここでも、半導体基板11はウエハの一部を示している。

【0076】

まず、図5(a)に示すように、公知の方法により、p型シリコンからなる半導体基板11の上部にトレンチを選択的に形成し、形成したトレンチに酸化シリコンを埋め込んで、トレンチ分離領域12を形成する。その後、半導体基板11におけるキャパシタの下部電極形成領域に、加速電圧が約30keVで、ドーズ量が約 $3 \times 10^{15} / \text{cm}^2$ の砒素イオンをイオン注入し、続いて、窒素(N_2)雰囲気中RTA装置を用いて、約950℃の温度で約5分間の熱処理を行なって、半導体基板の上部にn型拡散領域31を形成する。

【0077】

次に、図5(b)に示すように、n型拡散領域31を形成した半導体基板11に対してRCA洗浄を行なった後、約350℃に加熱した半導体基板11の上に、四塩化ハフニウムガスと水蒸気とを交互に供給するALCVD法により、膜厚が約2nm～5nmの酸化ハフニウムからなり容量絶縁膜形成用の高誘電体絶縁膜32Aを堆積する。続いて、酸素の分圧が約0.9Pa～1.1Paの窒素雰囲気中でレーザー光を用いた熱処理により、高誘電体膜14Aに対する酸素欠損を補う熱処理を行なう。具体的には、半導体基板11を約300℃に加熱してこれを保持し、パルス幅が約10nsで光出力が約80WのXeCl₂エキシマレーザー光を照射することにより、半導体基板11の表面近傍を選択的に加熱する。このとき、半導体基板11の走査速度と、レーザー光のパルス間隔及びピーク電力とを調整して、基板表面温度が約1000℃となるように、0.4J/cm²～0.6J/cm²の照射エネルギーで、各照射領域ごとに0.1秒間の熱処理を行なう。このように、高誘電体絶縁膜32Aに対して極めて短時間の熱処理を行なうため、酸化ハフニウムから高誘電体絶縁膜32Aの結晶性はこの熱処理によってほとんど変化することがない。

【0078】

次に、図5(c)に示すように、減圧CVD法により、高誘電体絶縁膜32Aの上に、リンドーピングしたポリシリコンからなる上部電極33を形成する。続いて、フォトリソグラフィ法及び塩素(HCl)、臭素(Br₂)及び酸素(O₂)のプラズマによる反応性イオンエッチング(RIE)法により、上部電極33をパターンニングすると共に高誘電体絶縁膜32Aから容量絶縁膜32を形成して、上部電極33、容量絶縁膜32及びn型核酸領域31からなるキャパシタを形成する。

【0079】

このように、第3の実施形態に係るキャパシタは、従来の酸化シリコンからなる容量絶縁膜と比べてリーク電流が2桁以上も小さく、また、比誘電率が数倍程度大きいため、DRAMセルに用いた場合にはセル面積を小さくできるので、DRAMに好適である。

【 0 0 8 0 】

【発明の効果】

本発明に係る半導体装置の製造方法によると、光の照射により、基板の表面近傍のみを極めて短時間で熱処理を行なうことができるため、高誘電体からなる絶縁膜をゲート絶縁膜や容量絶縁膜に用いた場合には、該絶縁膜に結晶化又は相変化によるリーク電流の発生を防止できる。その上、基板の該絶縁膜との界面に成長する酸化膜の成長を抑制しながら、基板における結晶欠陥の回復を図ることができる。その結果、電氣的なシリコン酸化膜換算膜厚値が小さいままで、リーク電流が小さい半導体装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置を示す模式的な構成断面図である。

【図 2】

(a) ～ (d) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の模式的な構成断面図である。

【図 3】

本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の模式的な構成断面図である。

【図 4】

(a) ～ (d) は本発明の第 2 の実施形態に係る半導体装置の製造方法を示す工程順の模式的な構成断面図である。

【図 5】

(a) ～ (c) は本発明の第 3 の実施形態に係る半導体装置の製造方法を示す工程順の模式的な構成断面図である。

【符号の説明】

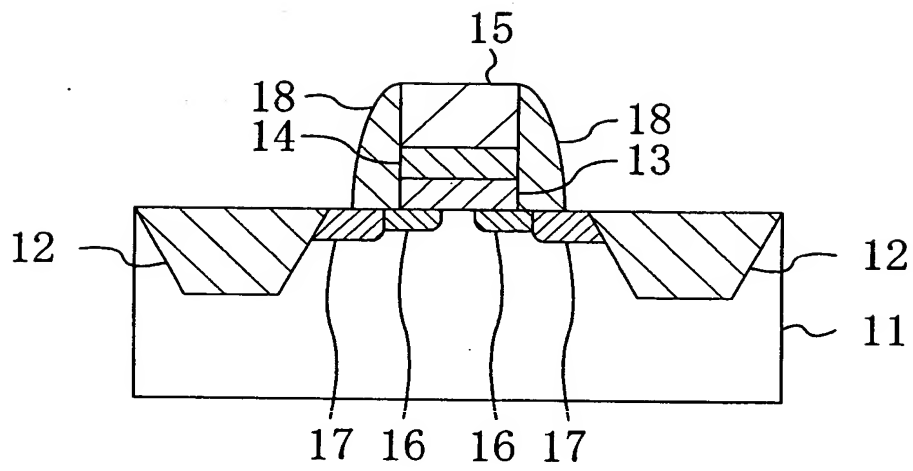
- 1 1 半導体基板
- 1 2 トレンチ分離領域
- 1 3 下地絶縁膜
- 1 4 ゲート絶縁膜

- 1 4 A 高誘電体絶縁膜
- 1 5 ゲート電極
- 1 5 A ゲート電極形成膜（導体膜）
- 1 6 エクステンション領域
- 1 7 ソース・ドレイン領域
- 1 8 サイドウォール膜
- 2 5 ゲート電極
- 2 5 A ゲート電極形成膜（導体膜）
- 3 1 n型核酸領域
- 3 2 容量絶縁膜
- 3 2 A 高誘電体絶縁膜
- 3 3 上部電極

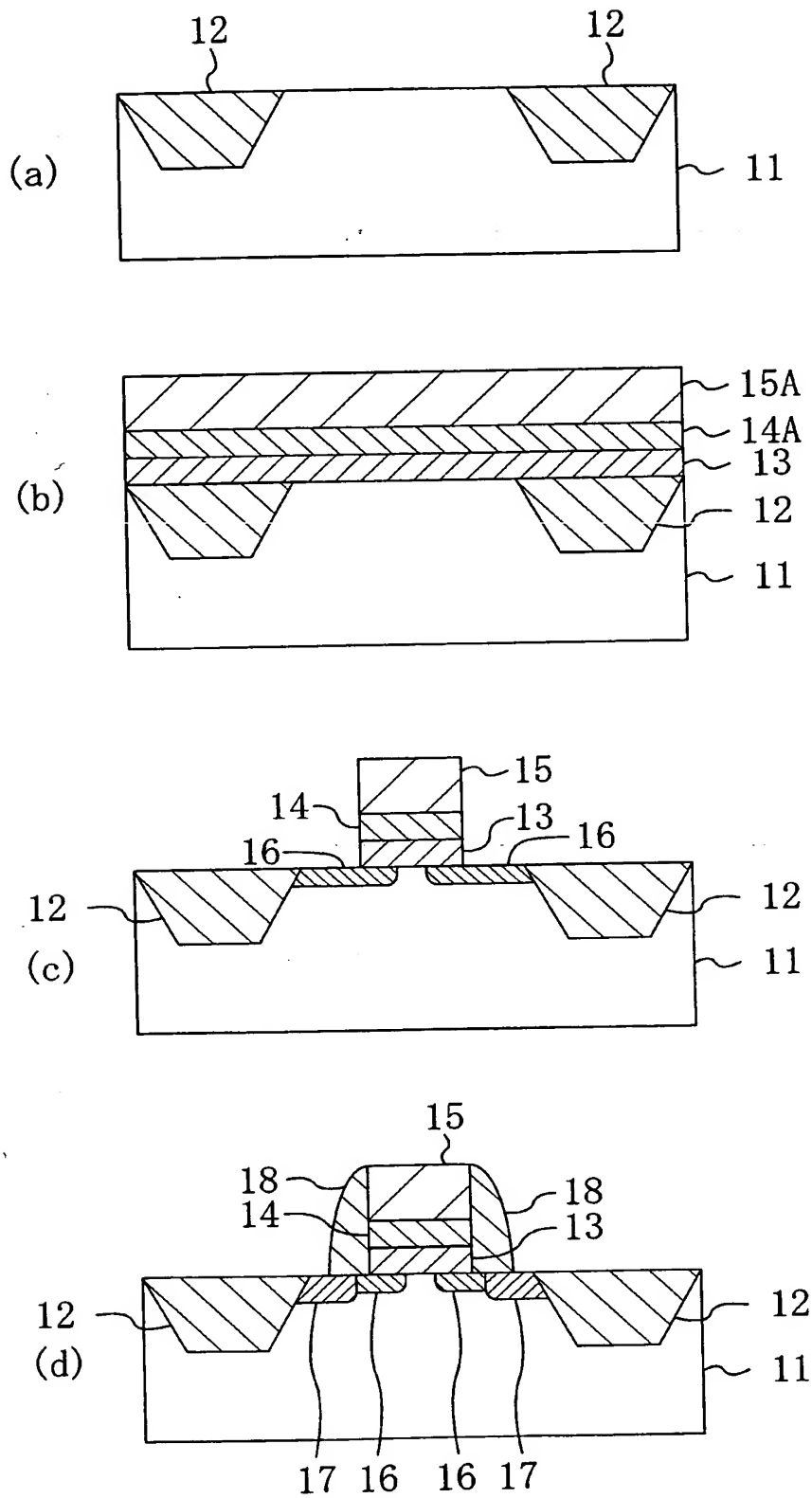
【書類名】

図面

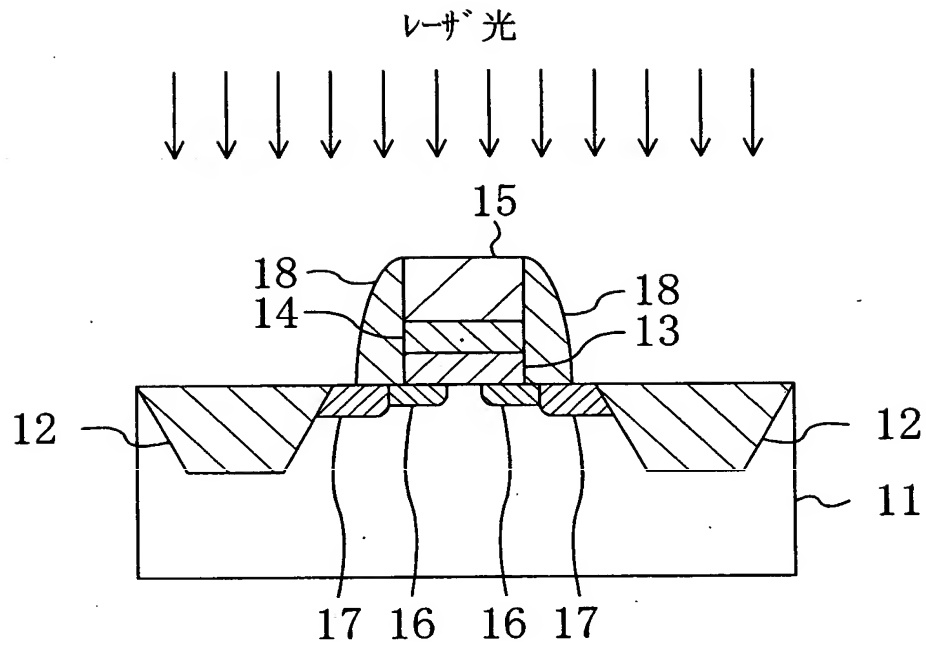
【図 1】



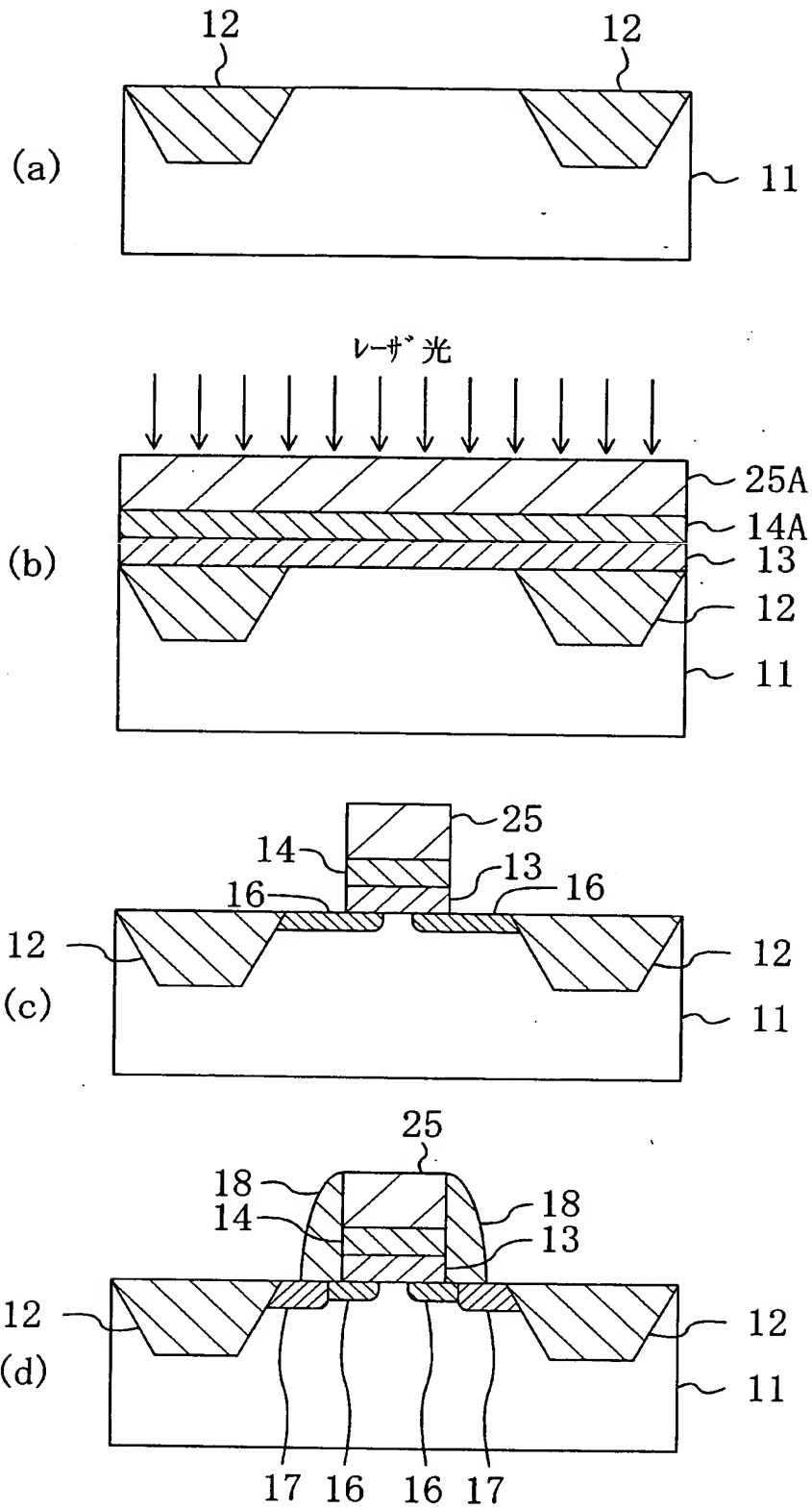
【図 2】



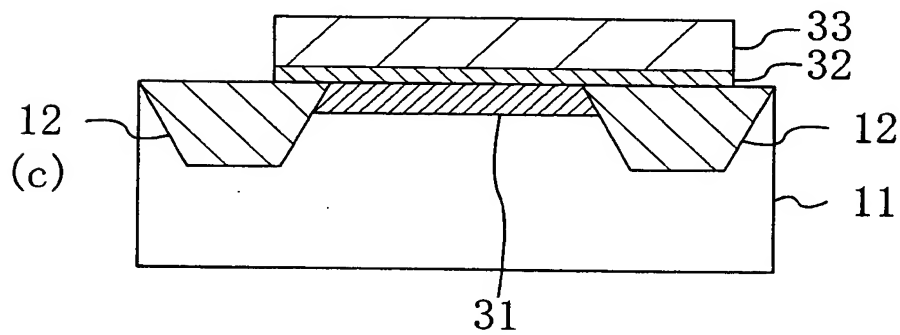
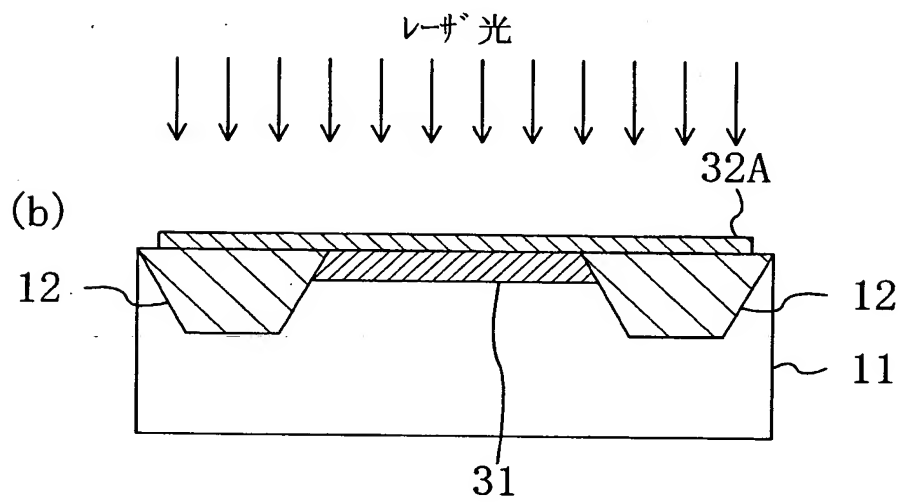
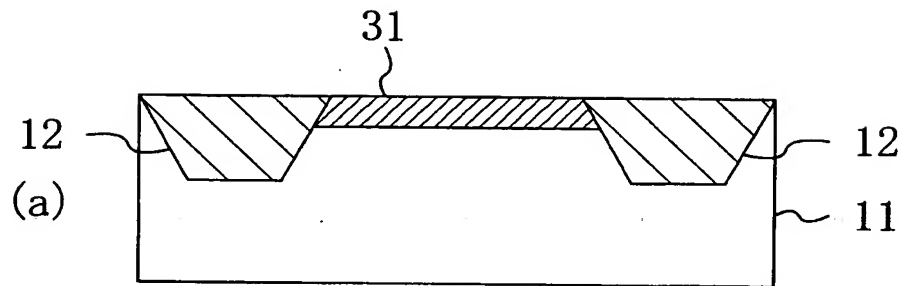
【図3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜又は容量絶縁膜に金属酸化物からなる高誘電体薄膜を適用できるようにする。

【解決手段】 半導体基板 1 1 の素子形成領域上には、酸化シリコンからなる下地絶縁膜 1 3、酸化ハフニウムからなるゲート絶縁膜 1 4、ポリシリコンからなるゲート電極 1 5、及び酸化シリコンからなるサイドウォール 1 8 を形成し、半導体基板 1 1 における素子形成領域の上部には、ソース・ドレイン領域 1 8 及びエクステンション領域 1 6 をそれぞれ注入により形成する。その後、半導体基板 1 1 の走査速度と、レーザ光のパルス間隔及びピーク電力とを調整して、半導体基板 1 1 の表面近傍のみをその温度が 1 1 5 0℃～1 2 5 0℃となるようにレーザ光を 0. 1 秒間照射することにより、ゲート絶縁膜 1 4 に対する熱処理及びソース・ドレイン領域 1 7 に対する熱処理を行なう。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社